

3D stapeling van ultradunne chips en chip packages

Onderzoeksgroep / contact :

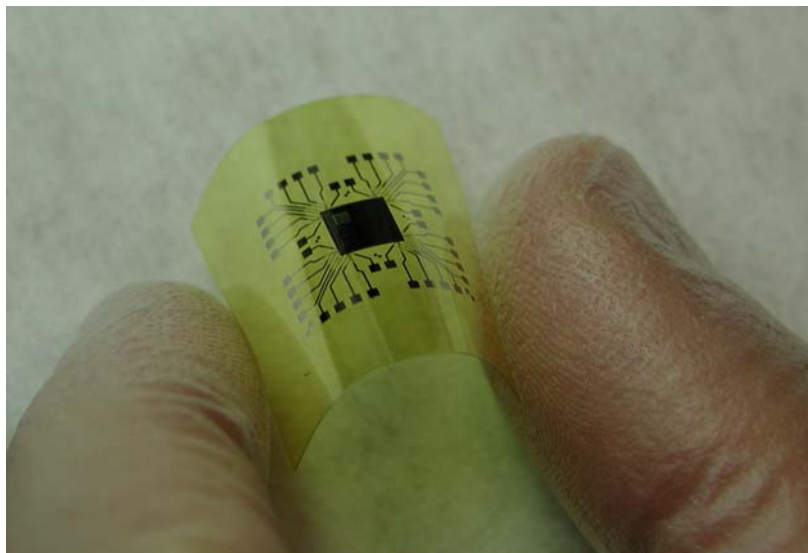
CMST – Technologiepark 914, B-9052 Gent-Zwijnaarde, België
<http://www.cmst.be>
Prof. Jan Vanfleteren (Promotor)
tel. +32-9-264-53-60
e-mail jan.vanfleteren@cmst.be

Imec strategie:

Het voorgestelde doctoraatsonderzoek kadert in het domein van flexible & stretchable electronics, en in het bijzonder in dat van wafer en chip verdunning en verpakking / inbedden van ultradunne chips.

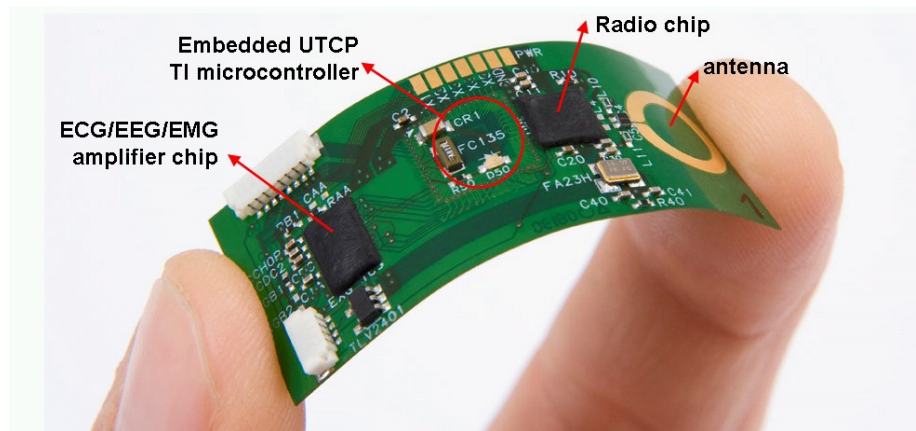
Korte beschrijving van het onderwerp:

In het kader van het FP6-IST-IP-SHIFT project werd de technologie ontwikkeld voor een ultradunne chip verpakking (UTCP: ultra thin chip package). Hierbij wordt een 25 μ m dunne Si chip ingebed in een organische drager, die bestaat uit uitgeharde spin-on polyimide lagen. Contacten van de chip naar de buitenwereld worden gerealiseerd d.m.v. laser drilling door het polyimide naar de chip pads en dunne film interconnectie metallisatie, eventueel gecombineerd met electroplating technieken. Het resultaat is een verpakking van amper 60 μ m dik, die kan gebogen worden, inclusief de chip. De figuur hieronder toont een afgewerkte UTCP. Deze technologie is het voorwerp van een recente gezamenlijke IMEC – UGent patentaanvraag¹.



Deze verpakking kan men dan gebruiken om in te bedden in de binnenlagen van een printkaart (PCB) of flex interconnectiesubstraat, waarbij men dus de derde dimensie van dit substraat gebruikt, en zeer compacte schakelingen bekommt. De figuur hieronder toont een draadloze flexibele ECG (electrocardiogram) meetmodule, waarbij 1 van de drie chips (een Texas

Instruments (TI) Microcontroller) als UTCP is verpakt en daarna tijdens het flex productieproces ingebed is in het substraat. Boven en onder de ingebedde UTCP zijn passieve componenten geassembleerd.



De bedoeling van het voorgestelde doctoraatsonderwerp is nu een stap verder te gaan en technologie te ontwikkelen voor een ultracompacte verpakking voor meerdere chips op basis van stapeling van ultradunne chips.

Op dit moment ziet men dat in de praktijk stapeling van chips gerealiseerd wordt door D2D (die-to-die) en D2W (die-to-wafer) bonding, gevolgd door wire-bonding. Bij stapeling van meerdere dies boven elkaar en bij toenemend aantal verbindingen (en dus wire-bonds met lange draden, die meerdere "verdiepingen" van de stapel overspannen), geeft dit bijna vanzelfsprekend yield- en betrouwbaarheidsproblemen. Nochtans is de vraag naar gestapelde chipverpakkingen zeer hoog, b.v. in de mobiele telefoons, waar zeer compacte verpakking en assemblage van cruciaal belang is.

Om de optredende problemen die men met de huidige technologie voor gestapelde chips ondervindt, op te lossen, wordt door een aantal groepen onderzoek verricht op het realiseren van verbindingen doorheen de chips. In het hier voorgestelde werk wordt een andere benadering gekozen, namelijk die van inbedden van ultradunne chips, en realiseren van verbindingen door middel van microvia-, dunnefilm en plating technologie.

Concreet kan een stapeling van ultradunne chips op twee manieren gerealiseerd worden:

- Door stapeling van individuele verpakkingen, laminatietechnieken en realisatie van verbindingen, analoog als in PCB technologie, t.t.z. met (laser)boren en metallisatie van via's
- Door chip assembly van de tweede chip op de gerealiseerde eerste verpakking, en vervolgens herhaling van de UTCP processing (spin-on polyimide, laser via hole realisatie en dunne-film metallisatie).

Beide methodes zullen in het werk bekeken worden. De eerste heeft het voordeel dat alle individuele verpakte chips kunnen getest worden vooraleer ze gestapeld worden, de tweede zal tot een dunnere verpakking leiden.

Bij het verpakken van chips moet men, gezien de huidige ontwikkeling van de halfgeleidertechnologie, rekening houden met volgende randvoorwaarden:

- Toenemende dichtheid van de verbindingen
- Elektrische signaalintegriteit
- Thermische huishouding
- Betrouwbaarheid van verpakking en assemblage op een standaard PCB

Daarom zullen naast het louter stapelen van de chips ook andere structuren in de stapel ingebed worden, zoals ontkoppelcapaciteiten, aangepaste impedantielijnen en warmtespreidingsstructuren (b.v. gelamineerde Cu lagen). De ontkoppelcapaciteiten en eventueel andere passieve componenten kunnen gerealiseerd worden in dunne-film technologie (spin-on dielectrica, dunne-film weerstanden), dunne-film op Si (dat dan ook als dunne chip in de stapel moet geïntegreerd worden), of zelfs als discrete componenten (b.v. ultradunne (30 micron) passives van Murata of Vishay).

Verder zal de bekomen package ook geassembleerd worden op een standaard PCB en zal de betrouwbaarheid bestudeerd worden. Het zal waarschijnlijk nodig zijn speciale “stress relief” structuren aan te brengen. Hiervoor zullen zachte materialen zoals silicones, aangewend worden.

Het werk zal voornamelijk gebruik maken van interconnectie testchips. Naar het einde zal echter ook een functionele demonstrator ter validatie van de technologie gerealiseerd worden. Hier wordt in de eerste plaats gedacht aan een stapel van geheugenchips (b.v. Flash), om aldus een zeer compact geheugen met zeer hoge capaciteit per kubieke mm te bekomen. Het wordt op dit moment mogelijk geacht om in een stapel van 1mm dik 15 chips te integreren. Een tweede mogelijkheid is om de drie chips uit bovenstaande ECG demonstrator als UTCP te verpakken en te gaan stapelen, waardoor een ultracompacte schakeling zal bekomen worden. Ten slotte is CMST ook actief in het Europees Project TIPS (Thin Interconnected Package Stacks), waar o.a. de firma Oticon (producent van hoorapparaten) deze technologie wil gebruiken in zijn producten.

Het werk in het kader van dit doctoraat bestaat uit zowel technologieontwikkeling in de clean rooms van CMST (processen en betrouwbaarheidsstudie voor de fabricatie van UTCP stacks), als elektronisch design en testen (design, fabricage en test van functionele demonstrators).

Op dit onderwerp werd door een andere CMST medewerker reeds 1 jaar werk verricht, dat ook in het doctoraat zal opgenomen worden. De drie beschikbare supplementaire beursjaren zullen dus volstaan om dit doctoraat af te werken.

Start van de beurs : kan vanaf 1 juli 2009, ten laatste 1 september 2009.

¹ J. Vanfleteren, W. Christiaens, “Method for Embedding Dies”, US patent app., Appl. Serial No. 11/602,733, filed November 21, 2006.